

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-235989

(43)Date of publication of application : 21.10.1991

(51)Int.Cl. G09G 3/36

G02F 1/133

(21)Application number : 02-029690 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.02.1990 (72)Inventor : SASAKI MINORU

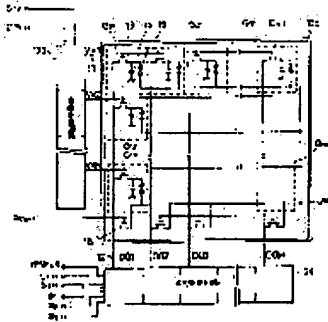
(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To improve linearity and reduce an offset and to obtain the liquid crystal display device of high picture quality by charging or discharging signal lines of a liquid crystal panel to a constant potential before a video signal is impressed.

CONSTITUTION: The signal lines 12 of the display panel 125 are charged or discharged to the specific constant potential before the video signal is impressed from a horizontal driving circuit 24 to drive the signal lines 12. Namely, the signal lines 12 of the liquid crystal panel 125 are connected to a constant potential point through switching transistors (TR) 16 respectively and when the switching TRs 16

are turned on, the respective signal lines 12 are charged or discharged to the constant potential V1. In this case, only a voltage corresponding to the variation of the video signal needs to be supplied from the horizontal driving circuit 24, so the input/output amplitude of the horizontal driving circuit 24 is reducible. Consequently, the linearity, offset, etc., of the video signal are improved and a video display of high picture quality is made.



⑫ 公開特許公報(A) 平3-235989

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)10月21日

G 09 G 3/36
G 02 F 1/133

5 2 0

8621-5C
7709-2H

審査請求 未請求 請求項の数 3 (全 22 頁)

⑭ 発明の名称 液晶表示装置

⑯ 特 願 平2-29690

⑰ 出 願 平2(1990)2月13日

⑱ 発 明 者 佐々木 実 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑲ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

液晶表示装置

2. 特許請求の範囲

(1) 水平走査方向に沿った複数のアドレス線と垂直走査方向に沿った複数の信号線との交差部に複数の液晶表示素子をそれぞれ接続した液晶パネルと、

前記複数のアドレス線を順次走査する走査手段と、

前記走査手段によるアドレス線の走査に同期して前記複数の信号線を映像信号により駆動する駆動手段と、

前記駆動手段が前記複数の信号線を駆動する前に、その信号線を所定の一定電位となるように充電または放電する手段とを備えたことを特徴とする液晶表示装置。

(2) 水平走査方向に沿った複数のアドレス線と垂直走査方向に沿った複数の信号線との交差部に共通電極および個別電極を有する液晶セル

を含む複数の液晶表示素子をそれぞれ接続した構成され、所定の閾値以上の電圧が液晶セルに印加されたとき液晶セルの透過率が変化する液晶パネルと、

前記複数のアドレス線を順次走査する走査手段と、

前記走査手段によるアドレス線の走査に同期して前記複数の信号線を映像信号により駆動する駆動手段と、

前記駆動手段により前記複数の信号線を駆動する前に、その信号線を前記液晶セルの共通電極電位に前記閾値を加えた一定電位となるように充電または放電する手段とを備えたことを特徴とする液晶表示装置。

(3) 前記駆動手段は、前記一定電位に対する映像信号の変化分のみを前記信号線に印加することを特徴とする請求項1または2記載の液晶表示装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、液晶パネルを用いて映像を表示する液晶表示装置に係り、特に液晶パネルの駆動回路に関する。

(従来の技術)

液晶表示デバイスは低消費電力、薄型の特長から、近年ポータブル液晶TVに用いられ始めた。第16図に液晶TVの一般的な構成を示す。第16図において、チューナ1100およびビデオ中間周波増幅器1110を介して入力される映像信号電圧から、ビデオ復調回路1120により輝度信号及び色差信号が復調され、更にR、G、Bの原色信号に変換される。R、G、B色信号は色切替回路1150により液晶パネル1250の各画素の色フィルタ配列に従って切替えられ、更に極性切替回路により基準電位より正あるいは負の信号に変換された後、水平駆動回路1210に供給される。一方、同期分離回路1130により水平、垂

- 3 -

水平駆動回路1210は第18図に示す様に、m段のシフトレジスタ1300と、その各段の出力 $Q_1 \sim Q_m$ に接続されたm個のサンプルホールド回路1301および出力バッファ(アンプ)1302により構成される。

第19図を参照して、第17図および第18図の動作を説明する。第18図のシフトレジスタ1300にクロックパルスCp及びデータDが入力されると、 $Q_1 \sim Q_m$ にサンプルパルスが出力される。サンプルホールド回路1301は、サンプルパルスにより入力映像信号 V_{in} をサンプリングし、ホールドされた信号が出力バッファ1302を介して信号線12に映像信号D01~DOMとして印加される。一方、垂直走査回路1200からは1H(水平走査期間)に相当するパルスVV1~VVNが出力される。これにより例えば画素 G_{11} 内のトランジスタ13がオンし、サンプルホールド回路1301でホールドされた映像信号D01~DOMの電圧がトランジスタ13を介してキャパシタ14に保持される。画素 G_{11} 内の液

- 5 -

晶同期信号が分離抽出され、これらの同期信号からパルス発生回路1140により垂直走査回路1200に供給するクロック、水平駆動回路1210に供給するクロック等が生成される。

液晶パネル1220と垂直走査回路1200および水平駆動回路1210の具体例を第17図に示す。第17図に示すように、液晶パネル1220には横方向(水平走査方向)に延びたn本のアドレス線11と縦方向(垂直走査方向)に延びたm本の信号線12との交差部に、計 $m \times n$ 個の液晶表示素子(以下、画素という) G_{11}, \dots, G_{mn} がマトリクス状に配置されている。これらの各画素 G_{11}, \dots, G_{mn} は、それぞれTFT(薄膜トランジスタ)からなるスイッチングトランジスタ13と、キャパシタ14および液晶セル15を有する。垂直走査回路1210は相互に出力タイミングの異なるゲートパルスVV1, VV2, VV3, ... VVNを液晶パネル1220へ出力する。水平駆動回路1210は映像信号D01, D02, D03, ... DOMを液晶パネル1220へ出力する。

- 4 -

晶セル15はキャパシタ14に保持された映像信号電圧に応じて透過率に変化し、映像表示をなす。

以下、同様に水平駆動回路1210から映像信号D02, D03, ... DOMが順次出力される毎に、マトリクス状に配置された複数の画素 G_{11}, \dots, G_{mn} のうち、映像信号D02, D03, ... DOMの出力タイミングとゲートパルスVV1, VV2, ... VVNの出力タイミングに対応する画素が順次動作する。以上の一連の動作によって、液晶パネル1220で入力映像信号 V_{in} に対応した映像表示がなされる。

このような液晶表示装置では一般に、信頼性を上げ、寿命を長くするため、周知のように交流駆動が用いられる。例えばテレビ映像の表示では、1フレームまたは1フィールド毎に極性反転した映像信号を入力映像信号 V_{in} として用いる。第19図に第2フィールドが極性反転された映像信号の波形を示す。また、第20図に液晶の印加電圧-透過率特性の例を示す。

この場合、各画素のスイッチングトランジス

- 6 -

タのオフ時の抵抗や、ゲートパルス $V_{V1} \sim V_{VN}$ の飛び込み、周辺画素間の干渉により、正極性の映像信号を供給した時と、負極性の映像信号を供給した時とでは、各画素に加わる映像信号の実効電圧が異ってしまう。例えばフィールド毎に60Hzで極性反転を行った場合、正負の実効電圧の差により30Hzのフリッカが生じてしまう。30Hzのフリッカは視覚上、非常に気になるため、これを除去する目的で例えば入力映像信号 V_{IN} の極性を高速に、すなわち走査線毎に反転する方式、信号線毎に反転する方式、画素毎に反転する方式などの各種の方式も提案されている。

しかしながら、入力映像信号 V_{IN} を極性反転すると、第19図からも明らかなように水平駆動回路の入力振幅が2倍となり、第18図のサンプルホールド回路1301から出力される映像信号D01～D0Mの振幅も2倍必要となる。従って、水平駆動回路1210の電源電圧を高くする必要があり、またサンプルホールド回路1301や出力バ

— 7 —

回路の電源電圧を下げることができ、しかも信号線間での映像信号レベル差に起因する周期的な縦縞のような妨害が生じることがなく高品質の映像表示ができる液晶表示装置を提供することを目的とする。

〔発明の構成〕

（課題を解決するための手段）

上記の課題を解決するため、本発明の液晶表示装置は表示パネルにおける複数の信号線に水平駆動回路から映像信号を印加して信号線を駆動する前に、その信号線を所定の一定電位に充電または放電する手段を備えたことを特徴とする。

ここで、液晶セルの電圧—透過率特性に閾値があるときは、信号線を駆動する前に、液晶パネルの基準電位、つまり液晶セルの共通電極電位に閾値を加えた所定の一定電位となるように信号線を充電または放電するようにする。

また、水平駆動回路から実際に信号線に映像信号を印加する場合、所定の一定電位に対する

— 9 —

ッファ1302のダイナミックレンジが2倍となるため、リニアリティの確保とオフセットの低減が困難となる。リニアリティやオフセットの誤差は、各信号線12に供給される映像信号D01～D0Mのレベル差となって現れるので、画面上では縦縞の妨害が生じ、画質を著しく劣下させる。

（発明が解決しようとする課題）

上述したように、従来の液晶表示装置では交流駆動を実現するために入力映像信号の極性を周期的に反転すると、その振幅が2倍となるため、水平駆動回路の電源電圧を高くする必要があるばかりでなく、回路のダイナミックレンジが2倍必要となることで、リニアリティや、オフセットの誤差が大きくなり、信号線間で映像信号のレベル差が生じて画面上に縦縞の妨害が発生し、画質を著しく劣下させるという問題があった。

本発明は上記の点に鑑みてなされたものであり、液晶セルを交流駆動させる場合に水平駆動

— 8 —

映像信号の変化分のみを印加することで、各画素に一定電位+変化分の電圧が印加されるようにする。

（作用）

本発明においては、各画素に映像信号を印加する時に信号線を一定電位に充電または放電した後、映像信号電圧をその一定電位からの変化分として信号線に供給することによって、各画素に一定電位+変化分の電圧が印加される。この一定電位を液晶セルの共通電極（対向電極）の電位とすれば、変化分として正負の極性の映像信号を交互に供給することにより、液晶セルの交流駆動が容易に実現できる。この場合、水平駆動回路からは映像信号の変化分の電圧のみを供給すれば良いので、その水平駆動回路の入出力振幅は従来の1/2以下で良いことになる。

また、液晶セルの電圧—透過率特性において閾値があるときは、信号線を液晶セルの共通電極電位より閾値分だけ増やした一定電位に充電または放電した後、映像信号の変化分のみを供

— 10 —

給することにより、水平駆動回路から信号線に供給する映像信号の振幅は更に減少される。

このように水平駆動回路の出力振幅を減らすことで、水平駆動回路の消費電力の低減が可能となり、またダイナミックレンジが減少することにより水平駆動回路から信号線に印加される映像信号のリニアリティ、オフセット等が改善され、信号線間のレベル差が小さくなるため、縦縞などの妨害のない高画質の映像表示が可能となる。

(実施例)

以下、図面を参照して本発明の実施例を詳細に説明する。

第1図は本発明の一実施例に係る液晶表示装置としての液晶テレビのブロック図である。入力端子INに供給されるNTSCコンポジット映像信号は、A/D変換器111によりデジタル化された後、フレームメモリ112に書き込まれる。フレームメモリ112から読み出された映像信号は、Y-C分離回路113により

— 11 —

から同期分離回路118により水平同期、垂直同期、カラーバースト等の同期成分が分離され、これらの同期成分を基準としてタイミング発生器119により水平、垂直タイミングクロック等が作成され、さらにタイミングクロックを基準として駆動パルス発生器120により垂直走査回路123および水平駆動回路124を駆動する駆動パルスが作られる。駆動パルス発生器120は、さらにフィールド周期、フレーム周期、水平走査周期または1画素周期のいずれかの周期のタイミング信号を極性切替信号発生器121に供給する。極性切替信号発生器121は、このタイミング信号を用いてフィールドまたはフレーム毎に交互に“1”、“0”となるパルス、あるいは1水平走査線毎に“1”、“0”を交互に繰り返すパルス、あるいは1画素毎に“1”、“0”となるパルスからなる極性切替信号を発生し、極性切替回路116に供給する。

第2図は垂直走査回路123、水平駆動回路

— 13 —

輝度信号と色差信号とに分離される。現在のNTSC方式ではインターレース方式が採用されているので、液晶パネル125での表示を容易にするために、分離された輝度信号および色差信号はノンインターレース変換回路114によって走査線525本、フレーム周波数60Hzの信号に変換される。このインターレース→ノンインターレース変換は周知のように、動きの大きい時は走査線補間、動きの少ない時はフィールド補間によって行われる。ノンインターレース変換回路114により変換された輝度信号および色差信号はさらにマトリクス回路を用いて構成されたR、G、B変換回路115により、R、G、B信号に変換される。R、G、B各信号は液晶パネル125を交流駆動するため極性切替回路116により周期的に正負の極性が切替えられた後、D/A変換器117によりアナログ信号に戻されてから、水平駆動回路124に供給される。

一方、入力 of NTSCコンポジット映像信号

— 12 —

124および液晶パネル125を詳しく示した図である。液晶パネル125は横方向（水平走査方向）に延びたn本のアドレス線11と縦方向（垂直走査方向）に延びたm本の信号線12との交差部に、計 $m \times n$ 個の液晶表示素子（以下、画素という） G_{11}, \dots, G_{mn} をマトリクス状に配置して構成される。これらの各画素 G_{11}, \dots, G_{mn} は、それぞれTFT（薄膜トランジスタ）からなるスイッチングトランジスタ13と、キャパシタ14および液晶セル15を有する。液晶セル15は第8図に示されるように、画素毎に分離形成された個別電極（画素電極ともいう）と画素毎に共通に形成された共通電極（対向電極ともいう）を有し、個別電極はスイッチングトランジスタ13およびキャパシタ14に接続され、共通電極は全ての画素で共通に接続され、一定電位V₀に保持されている。垂直走査回路123は相互に出力タイミングの異なるゲートパルスV_{V1}, V_{V2}, V_{V3}, …, V_{Vn}を液晶パネル125へ出力する。水平駆動回路124は映像

— 14 —

信号D01,D02,D03,...,D0Mを液晶パネル125へ出力する。

液晶パネル125の信号線12は、それぞれスイッチングトランジスタ(TFT)16を介して定電位点(この例では液晶セル15の共通電極電位 V_0 の点)に接続されている。スイッチングトランジスタ16にゲートパルス P_{sw} を与えてスイッチングトランジスタ16をオン状態にすると、各信号線12が一定電位、この場合は共通電極電位 V_0 に充電または放電される。容量17は信号線12のストレーキャパシタンスであるが、別途キャパシタを信号線12に接続したものでよい。

第3図は本発明の駆動方式の一例を説明するため、水平駆動回路124および液晶パネル125の一部を詳細に示した図である。この第3図の動作を第4図のタイミングチャートを使って説明する。水平駆動回路124は2段のサンプルホールド回路を有する。水平駆動回路124に入力された映像信号(輝度信号あるいは

— 15 —

サンプルされた映像信号の電位 V_s 、だけ V_1 より高い電位となる。この時トランジスタ16はオフとなっているため、2段目のサンプルホールド回路の出力電圧($V_{s+}-V_1$)は出力バッファ1247およびキャパシタ1248を経て信号線12に供給され、信号線12の電位は $V_s = V_0 + (V_{s+}-V_1)$ となる。次いで、画素のスイッチングトランジスタ13がゲートパルス V_{V1} によりオンになると、液晶セル15の個別電極電位 V_0 は略 V_s と同電位となり、トランジスタ13がオフの後、キャパシタ14により V_0 は略 V_s を保つ。

水平駆動回路124の入力映像信号が負極性の場合には、第4図に示す様に入力映像信号は V_{max} を基準とした電位となり、サンプルパルス ϕ_1 によりキャパシタ1242には($V_{max}-V_{s-}$)なる電位がホールドされる。そして、水平ブランキングの始めにパルス ϕ_4 でスイッチ1246をオンにすることにより2段目のサンプルホールド回路の出力端電位 V_4 をス

— 17 —

はR, G, B信号等)は1段目のサンプルホールド回路においてスイッチ1241により水平走査方向の画素の位置に合せた位相のサンプルパルス ϕ_1 でサンプリングされ、キャパシタ1242にホールドされる。入力映像信号が正極性の場合、水平ブランキング期間の始めにパルス ϕ_3 でスイッチ1245をオンにすることにより、2段目のサンプルホールド回路の出力端電位 V_4 をスイッチ1245に印加されている電位 V_1 にする。このパルス ϕ_3 と同位相でゲートパルス P_{sw} が入力されてトランジスタ16がオンとなり、信号線12はその電位 V_s が液晶セル15の共通電極電位 V_0 と同電位となるように放電される。

次に、2段目めのサンプルホールド回路においてスイッチ1243によりサンプルパルス ϕ_2 でサンプルがなされ、1段目のサンプルホールド回路におけるキャパシタ1242の電荷はキャパシタ1244に転送される。これにより2段目のサンプルホールド回路の出力端電位 V_4 は、1段目のサンプルホールド回路において ϕ_1 で

— 16 —

スイッチ1245に印加されている電位 V_2 にする。同時にパルス ϕ_4 と同位相でゲートパルス P_{sw} が入力されてトランジスタ16がオンとなることにより、信号線12はその電位 V_s が液晶セル15の共通電極電位 V_0 と同電位となるように放電される。以下、入力映像信号が正極性の場合と同様に、2段目のサンプルホールド回路においてスイッチ1243によりサンプルパルス ϕ_2 でサンプルがなされることによって、信号線12に $V_2 - (V_{max} - V_{s-})$ なる電圧が供給され、信号線12の電位は $V_s = V_0 + (V_{max} - V_{s-} - V_2)$ となる。また、個別電極電位 V_0 も略 V_s と同電位となる。

ここで、 $V_1 = 0$ 、 $V_2 = V_{max}$ とすれば、個別電極電位 V_0 は入力映像信号が正極性の場合 $V_0 + V_{s+}$ 、負極性の場合 $V_0 - V_{s-}$ となる。一方、共通電極電位 V_0 は常に一定である。従って、液晶セル15には $+V_{s+}$ 、 $-V_{s-}$ なる正負の電圧が交互に印加されることになり、交流駆動が達成される。

— 18 —

ところで、液晶セル15の印加電圧-透過率特性が第5図に示すように閾値 V_{th} を持つ場合、印加電圧が $V_0 \pm V_{th}$ の間は液晶セル15の透過率は変化しない。このような場合、水平駆動回路124の入力映像信号の振幅を図に示す様に V_{th} 分減少させることができる。具体的には第3図におけるスイッチ1245, 1246にそれぞれ印加されている電位 V_1, V_2 を $V_1 = -V_{th}$, $V_2 = V_{max} + V_{th}$ とすればよい。このようにすると、個別電極電位 V_0 は入力映像信号が正極性の場合 $V_0 + V_{s+} + V_{th}$ 、負極性の場合 $V_0 - (V_{s-} + V_{th})$ となる。この時、液晶セル15には $V_{s+} + V_{th}$, $-(V_{s-} + V_{th})$ なる交流電圧が加わる。従って、水平駆動回路124の入力映像信号の振幅は V_{th} を差し引いた実際に液晶の応答に寄与する変化分のみの電圧で良く、従来の場合の $1/2 \sim 1/3$ となる。

第6図は第3図におけるスイッチ1241, 1243, 1245, 1246をCMOSアナログスイッチで構成し、出力バッファ(アンプ)をMOSトランジ

- 19 -

スタで構成した例を示す。出力バッファはNチャネルMOSトランジスタ1250をソースフォロアとし、NチャネルMOSトランジスタ1251のゲートにバイアス V_0 を加えている。このようにすると、パルス ϕ_1 あるいは ϕ_2 により2段目のサンプルホールド回路の出力端電位を V_1 あるいは V_2 にし、その時のソースフォロアの出力を基準として、入力映像信号による変化分を信号線12に供給することによって、ソースフォロアの出力オフセットの影響が信号線12に現れないようにすることができる。

実際の液晶パネルにおいては各信号線12の浮遊容量は数10pF~数100pFとなるので、映像信号電圧を正確に信号線12に伝達するために、キャパシタ1248はなるべく大きい方が良く、例えば数1000pFが望まれる時がある。この場合、水平駆動回路124としてIC化を前提とすると、数1000pFの容量をICにオンチップで形成することは難しいので、キャパシタ1248はICの外付けとし、第7図の様に構成すればよい。

実際の液晶パネルにおいては各信号線12の浮遊容量は数10pF~数100pFとなるので、映像信号電圧を正確に信号線12に伝達するために、キャパシタ1248はなるべく大きい方が良く、例えば数1000pFが望まれる時がある。この場合、水平駆動回路124としてIC化を前提とすると、数1000pFの容量をICにオンチップで形成することは難しいので、キャパシタ1248はICの外付けとし、第7図の様に構成すればよい。

- 20 -

第8図に第7図における水平駆動回路124および液晶パネル125の実装例を示す。液晶パネル125内の信号線12の引出しリード1250の途中にチップコンデンサをキャパシタ1248として挿入し、これを水平駆動回路124のICと接続している。

第9図はサンプルホールド回路を2系統並列に設け、1H(水平走査期間)毎に入力映像信号を切替えて出力する場合の実施例であり、その動作は第10図のタイミングチャートに示される。例えば第1H目ではスイッチ1241によりサンプルパルス ϕ_1 で入力映像信号をサンプリングし、水平ブランキング期間にスイッチ1245によりパルス ϕ_3 でサンプルホールド回路の出力端電位 V_4 を V_1 にし、出力バッファ1247の出力端電位も略 V_1 とする。同時に、ゲートパルス P_{sw} でスイッチングトランジスタ16をオンにして、信号線12の電位を V_0 に充電(放電)する。次に、第2H目に転送パルス ϕ_2 でスイッチ1243をオンにすることによ

り、入力映像信号のサンプルホールドされた値 V_{s+} が V_4 に伝達され、信号線12の電位は $V_0 + (V_{s+} - V_1)$ となる。同様に、第2H目の映像信号はスイッチ1251によりサンプルパルス ϕ_1' でサンプルされ、転送パルス ϕ_2' でスイッチ1253をオンにすることにより、第3H目に出力される。負極性の映像信号入力時も同様に、 V_4 の電位をスイッチ1246によりパルス ϕ_4 で V_2 にすることによって、液晶パネル125に映像信号を伝達する。

なお、これまでの例では液晶パネル125の各画素 $G_{11} \sim G_{mn}$ のスイッチトランジスタ13は理想的スイッチと見なしてきたが、実際には第11図に示す様にトランジスタのゲートとドレイン間にはゲート・オーバーラップキャパシタ18が存在するため、第12図に示す様にゲートパルス(V_{V1}, V_{V2}, \dots)がオフする時に各画素の個別電極電位はゲートパルス P_{sw} の振幅に比例して変化する。従って、各画素の個別電極電位は入力映像信号の電圧値から若干ずれてしま

- 22 -

- 21 -

う。このずれ分の電圧はスイッチ1245, 1246に印加されている電位 V_1 , V_2 を選ぶことによって補正できる。例えば前述の如く入力映像信号が正極性の場合、信号線12の電位 V_s は $V_0 + (V_{s+} - V_1)$ となるので、電位 V_1 をゲート・オーバーラップキャパシタ18による電位降下分 ΔV と等しく設定すれば、個別電極電位は $V_0 + V_{s+}$ となり、正確に入力映像信号に対応した値となる。

この電圧降下分 ΔV を補正する他の方式として、信号線12の充電（放電）する電圧を V_0 でなく、 $(V_0 + \Delta V)$ とするようにしてもよい。

第13図は本発明の他の実施例における水平駆動回路124および液晶パネル125の一部を詳細に示した図であり、第5図に示した様に液晶セル15の印加電圧－透過率特性に閾値 V_{th} が存在する場合に、水平駆動回路124の出力振幅を減少させることができるようにしたものである。第13図においては、信号線12

— 23 —

正するためには、 $V_0 + V_{th} + \Delta V = V_{o1}$, $V_0 - V_{th} + \Delta V = V_{o2}$ とすれば良い。

第15図は水平駆動回路124の他の実施例であり、出力バッファ1247をNチャネルMOSトランジスタのソースフォロアとPチャネルMOSトランジスタのソースフォロアの双方を使用して構成した場合の例である。

その他、本発明は要旨を逸脱しない範囲で変形して実施することができる。

〔発明の効果〕

以上説明したように、本発明によれば液晶パネルの信号線を映像信号印加前に一定電位に充電または放電することにより、交流駆動の場合でも信号線に映像信号を供給する水平駆動回路の入力振幅を1/2以下にすることが可能となる。また、液晶セルの印加電圧－透過率特性に閾値がある場合は、信号線の充電または放電電位を液晶セルの共通電極電位に閾値を加えた電位とすることにより、水平駆動回路の出力振幅を更に小さくすることができる。

— 25 —

をスイッチ16を介して共通電極電位 V_0 の点に接続せず、スイッチ16および切替スイッチ19を介して $V_{o1} = V_0 + V_{th}$, $V_{o2} = V_0 - V_{th}$ なる電位の点に選択的に接続するように構成されている。

すなわち、これまでの実施例のように信号線12に映像信号を印加する前に信号線12の充電（放電）電位を液晶セル15の共通電極電位 V_0 に充電（放電）するのではなく、第14図のタイミングチャートに示すように入力映像信号が正極性の時はスイッチ19を V_{o1} 側に、負極性の時は V_{o2} 側にそれぞれ倒して、共通電極電位 V_0 に閾値 V_{th} を加えた電位に充電（または放電）する構成とする。このようにすると、水平駆動回路124の出力は映像信号の変化分 V_{s+} あるいは V_{s-} のみで良く、閾値 V_{th} の分を含む必要がないので、その振幅は更に小さくなる。

この実施例の場合もゲート・オーバーラップキャパシタ18による電圧降下分 ΔV を補

— 24 —

これにより水平駆動回路の電源電圧を下げる事が可能となり、低消費電力が達成されるとともに、水平駆動回路内の出力バッファなどのアンプのダイナミックレンジを小さくして、リニアリティの改善と、オフセットの低減を図り、高画質の液晶表示装置を実現することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例に係る液晶表示装置のブロック図、第2図は第1図における垂直走査回路と水平駆動回路および液晶パネルの構成を詳しく示す図、第3図は水平駆動回路と液晶パネルの一部をさらに詳細に示す図、第4図は第3図の動作を示すタイミングチャート、第5図は本発明における液晶セルの印加電圧－透過率特性と共通電極電位および入力映像信号の電圧の関係を示す図、第6図は第3図の水平駆動回路をMOSアナログスイッチで構成した場合の水平駆動回路と液晶パネルの一部を詳細に示す図、第7図は水平駆動回路における出力キャパシタを外付けとした場合の垂直走査回路と

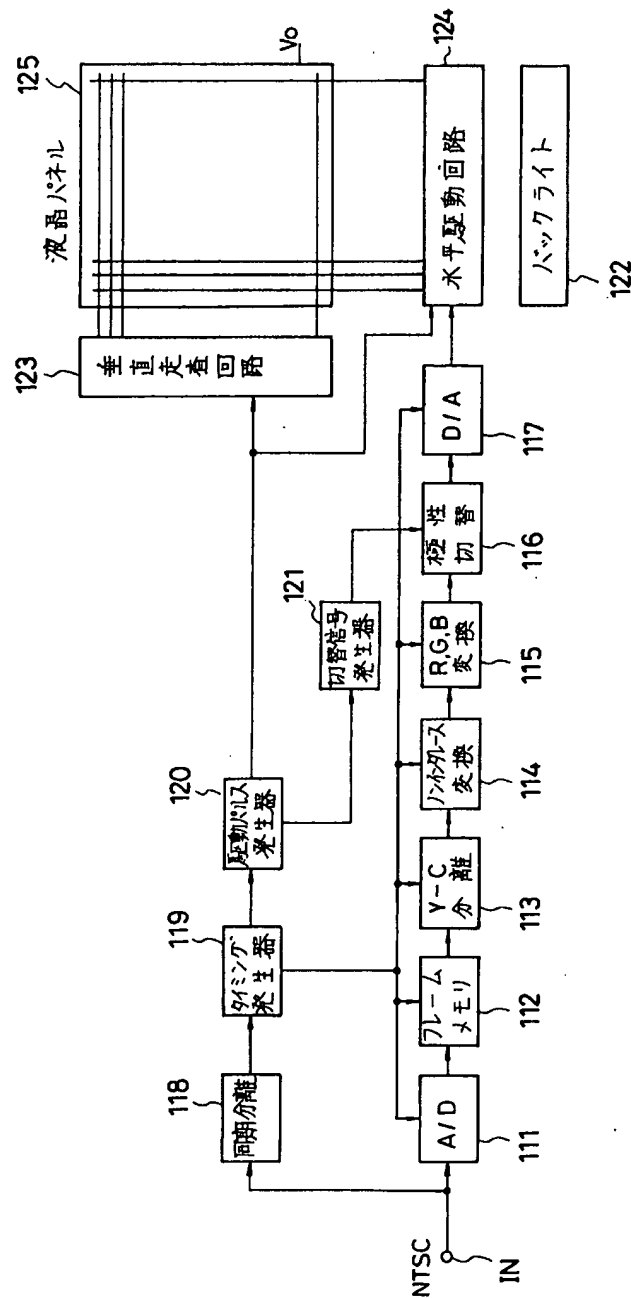
— 26 —

水平駆動回路および液晶パネルの構成を詳しく示す図、第8図は水平駆動回路とキャパシタおよび液晶パネルの実装構造の一例を示す断面図、第9図は本発明における水平駆動回路の他の実施例を示す図、第10図は第9図の動作を示すタイミングチャート、第11図は液晶パネルで発生する誤差を説明するための水平駆動回路と液晶パネルの一部を示す図、第12図は第11図の動作を示すタイミングチャート、第13図は本発明の他の実施例における水平駆動回路および液晶パネルの一部を示す図、第14図は第13図の動作を示すタイミングチャート、第15図は本発明における水平駆動回路のさらに別の実施例を示す図、第16図は従来の一般的な液晶テレビのブロック図、第17図は従来の液晶表示装置における液晶パネルと垂直走査回路および水平駆動回路を示す図、第18図は従来の水平駆動回路を詳しく示す図、第19図は第17図および第18図の動作を示すタイミングチャート、第20図は液晶セルの印加電圧-

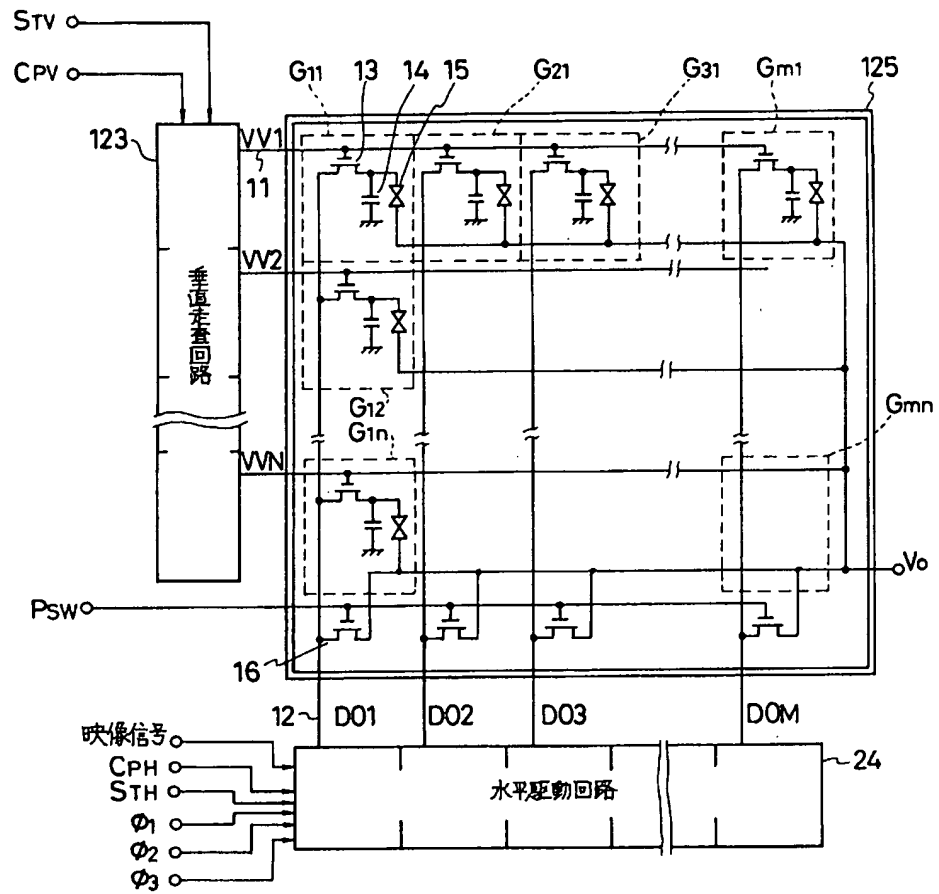
透過率特性の例を示す図である。

11…アドレス線、12…信号線、G₁₁~G_m…画素(液晶表示素子)、13…スイッチングトランジスタ、14…キャパシタ、15…液晶セル、16…スイッチングトランジスタ、123…垂直走査回路、124…水平駆動回路、125…液晶パネル。

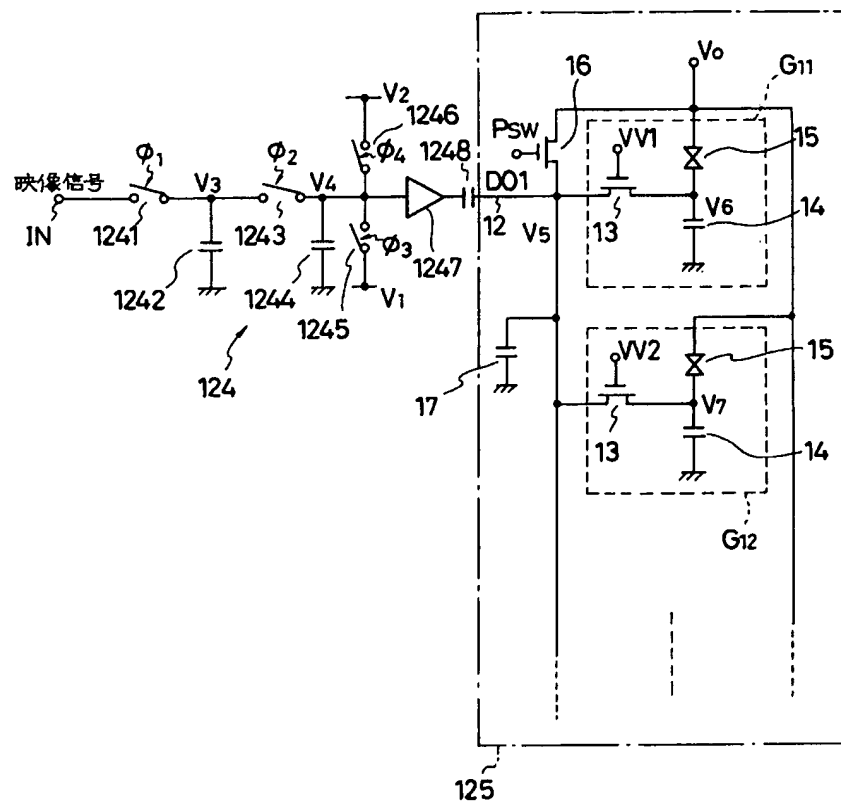
出願人代理人 弁理士 鈴江武彦



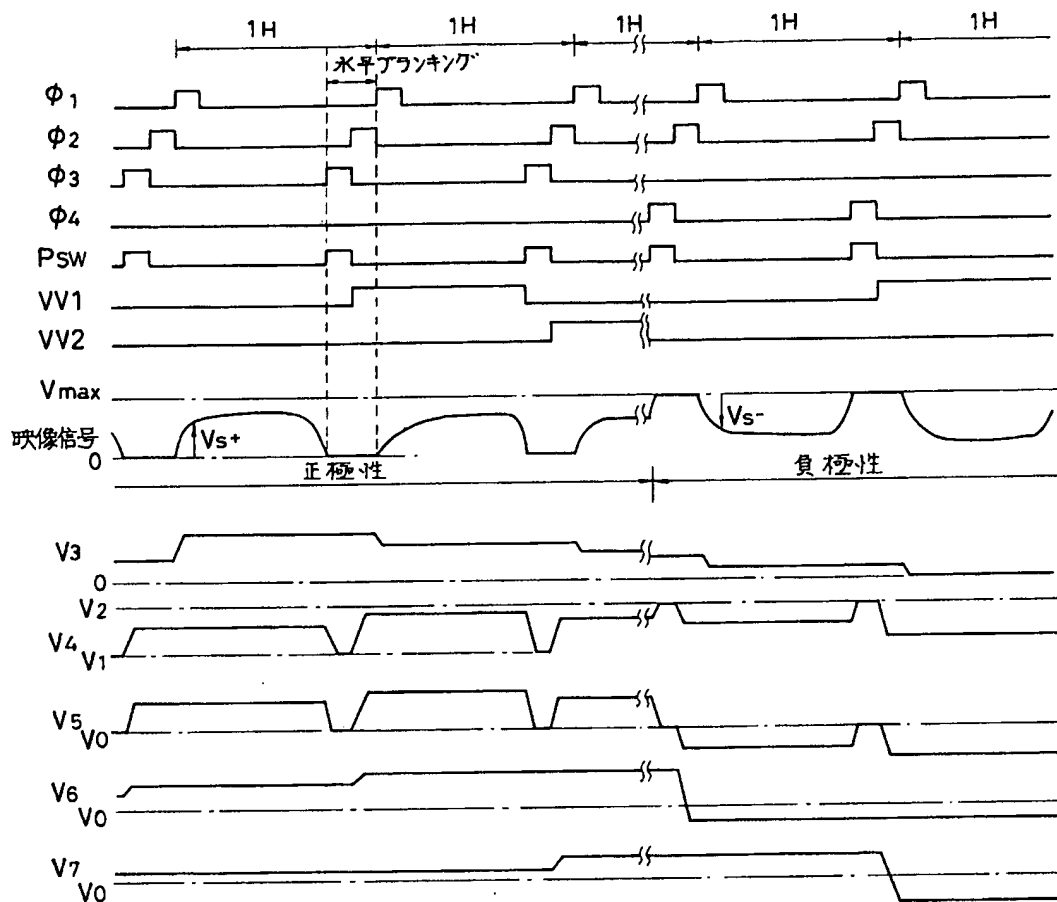
第 1 図



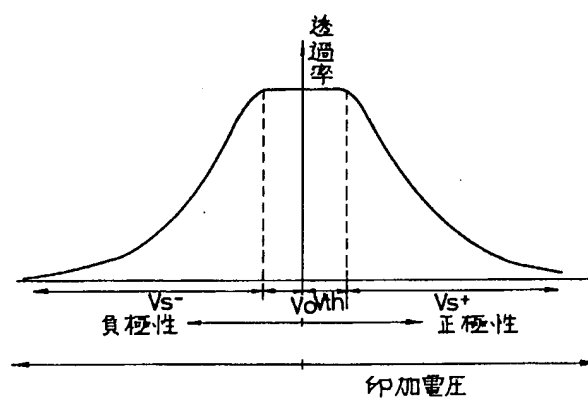
第 2 図



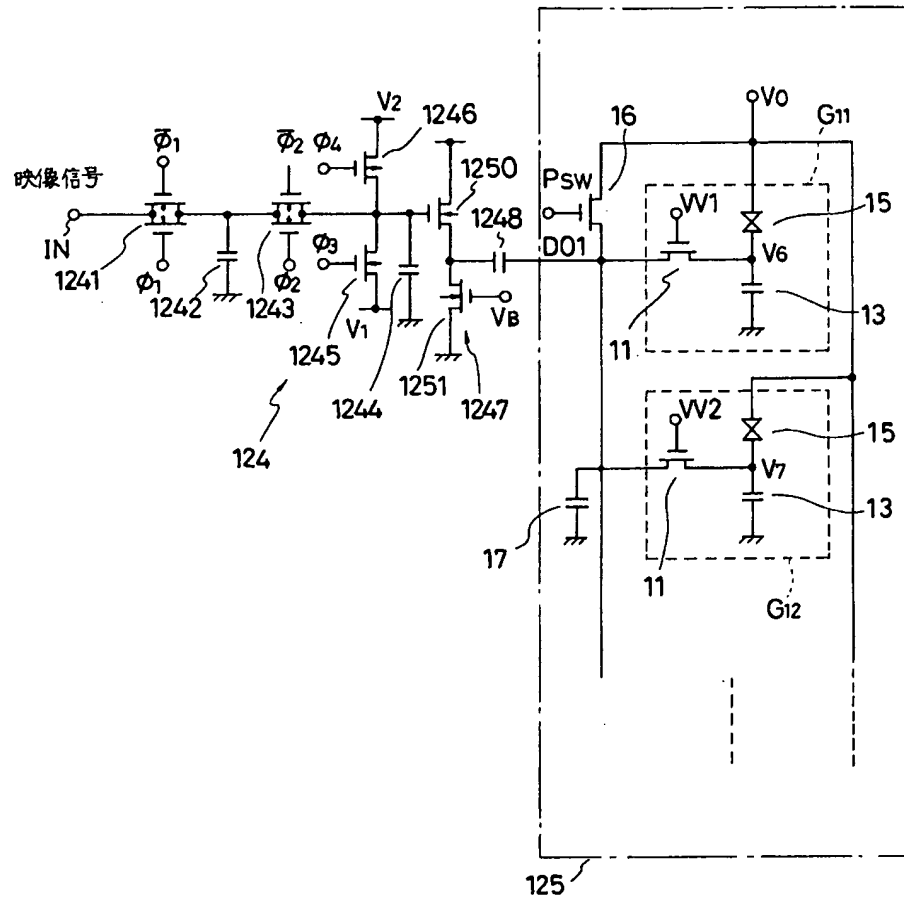
第 3 図



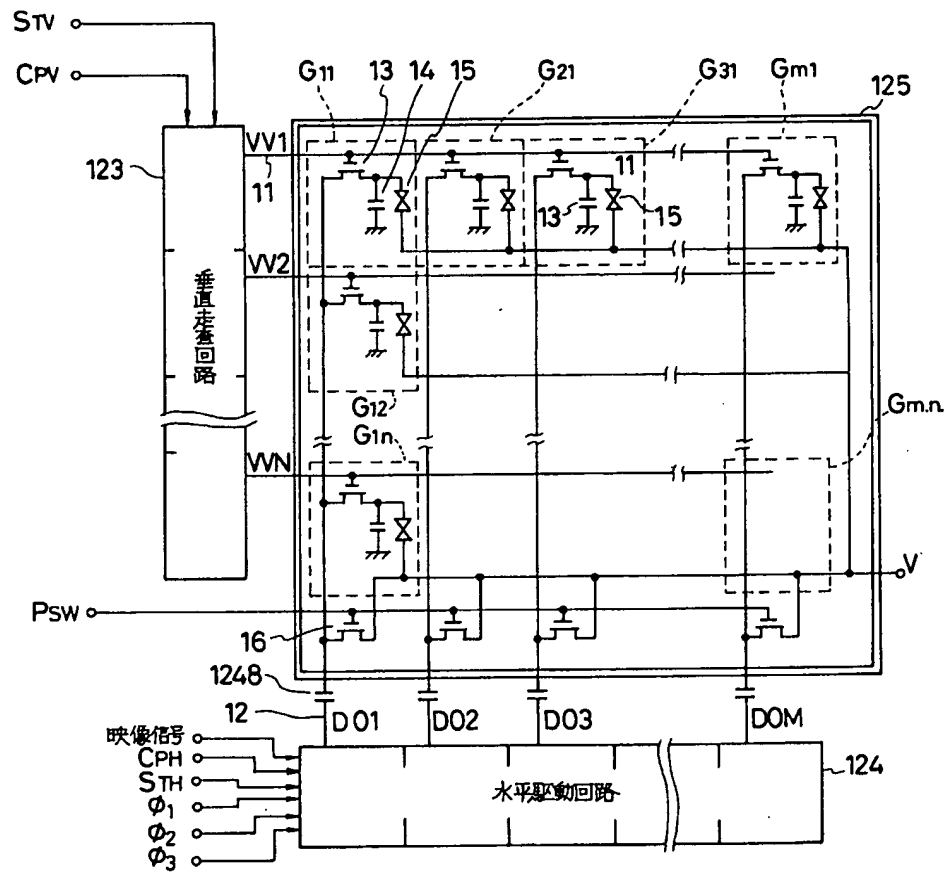
第 4 図



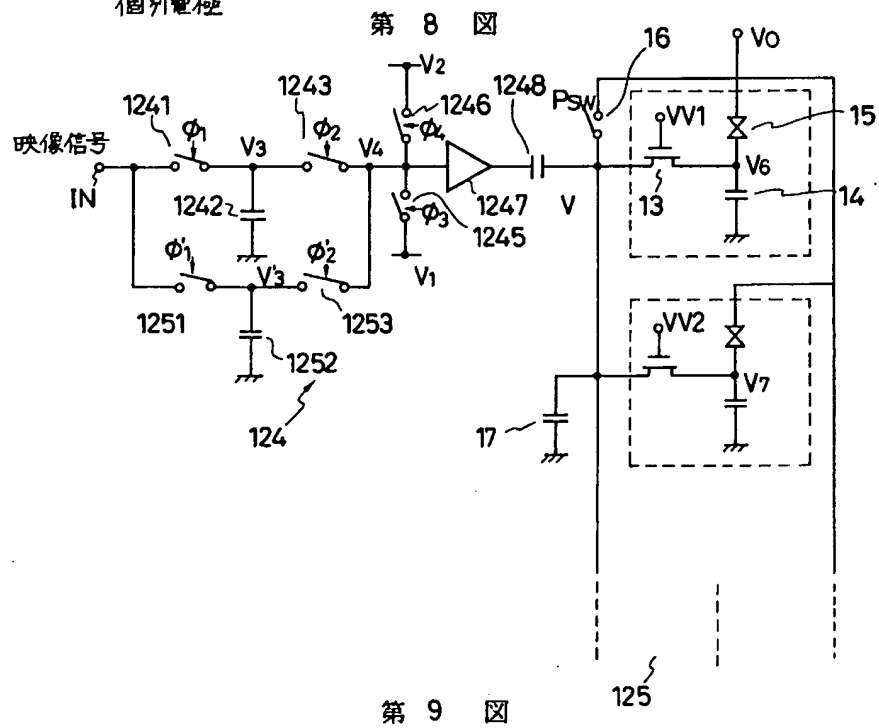
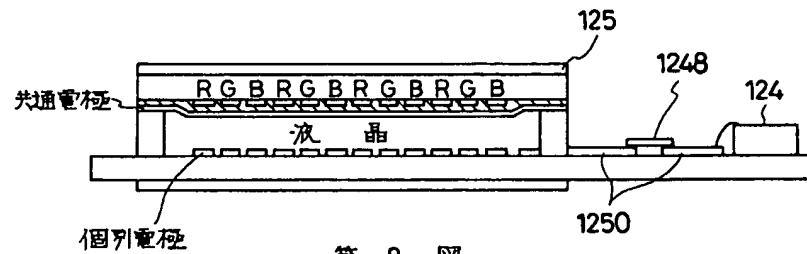
第 5 図

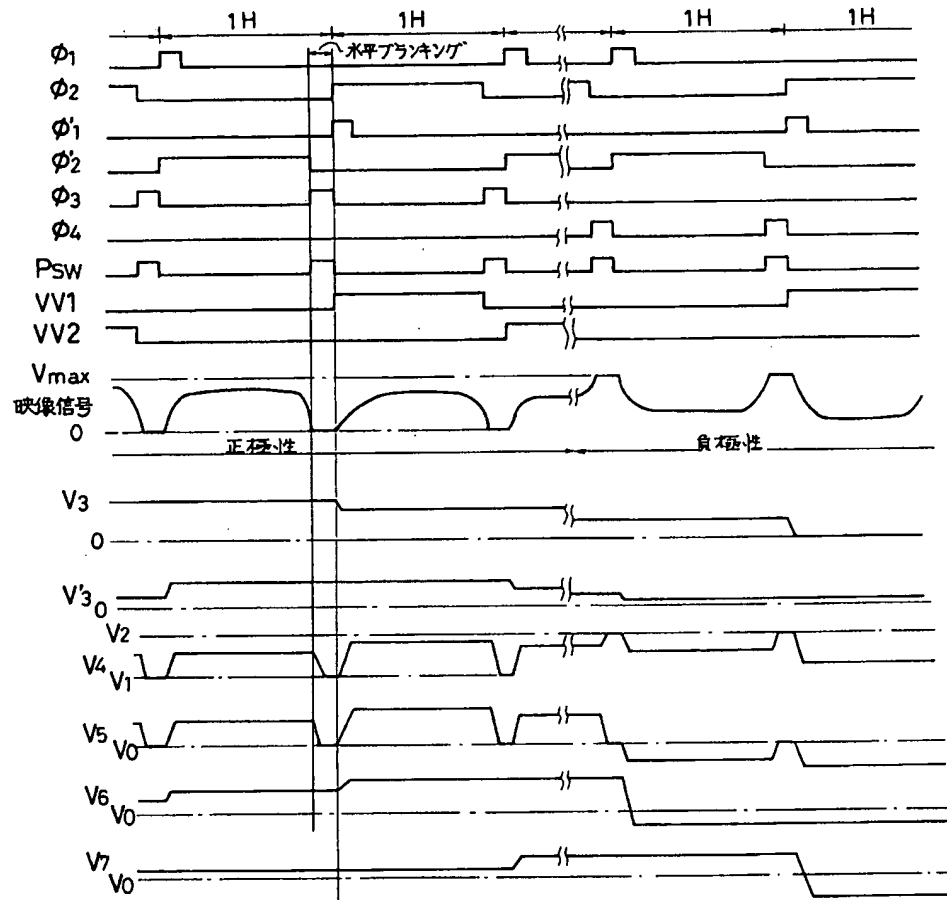


第 6 図

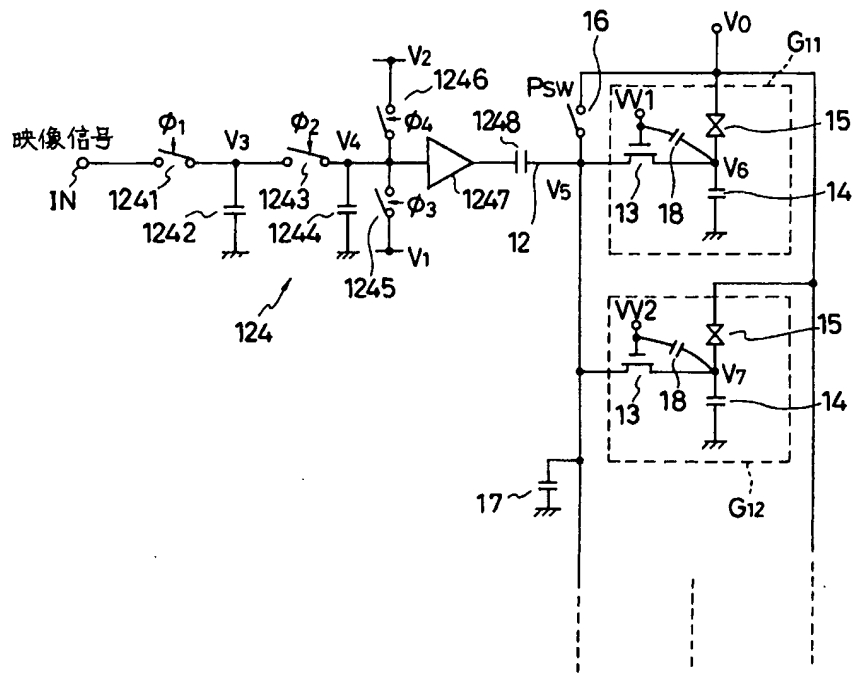


第 7 図

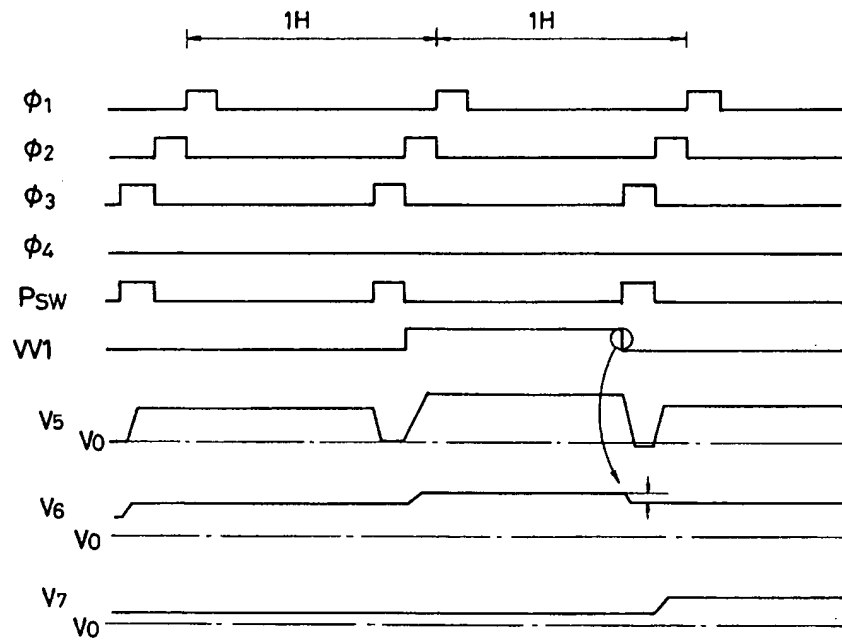




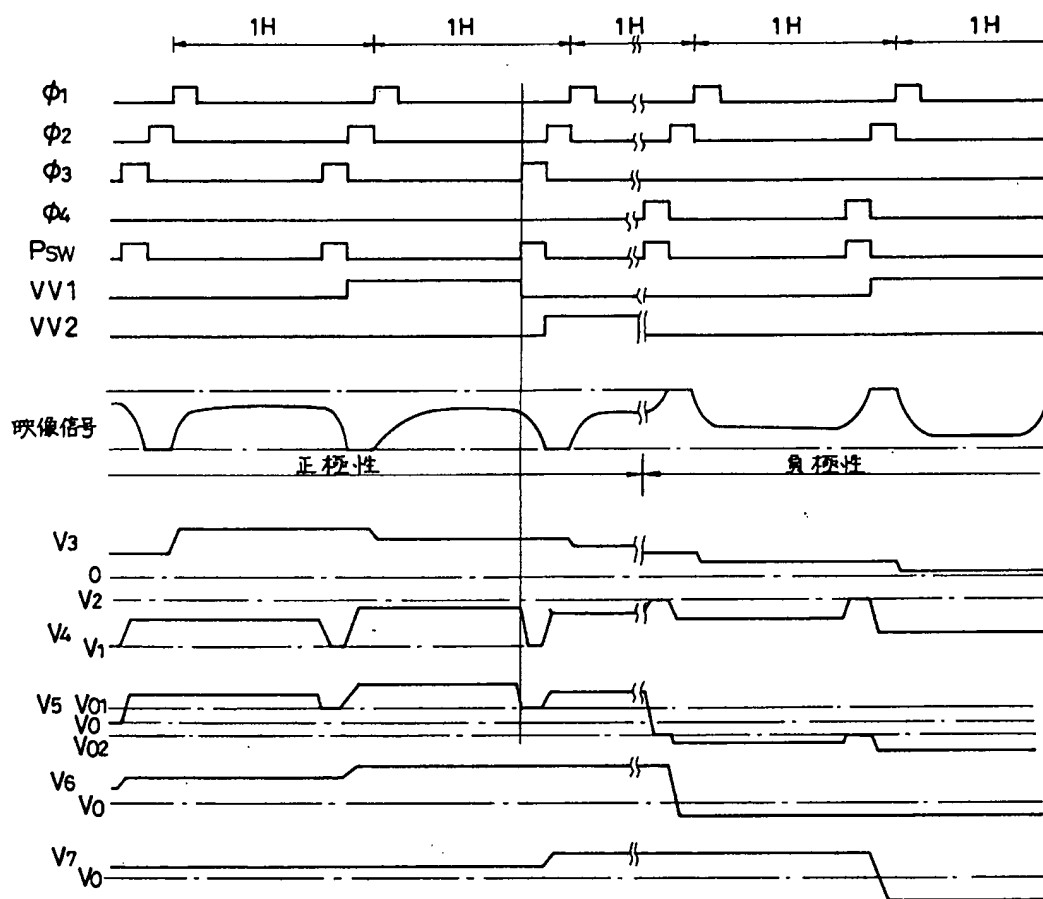
第 10 図



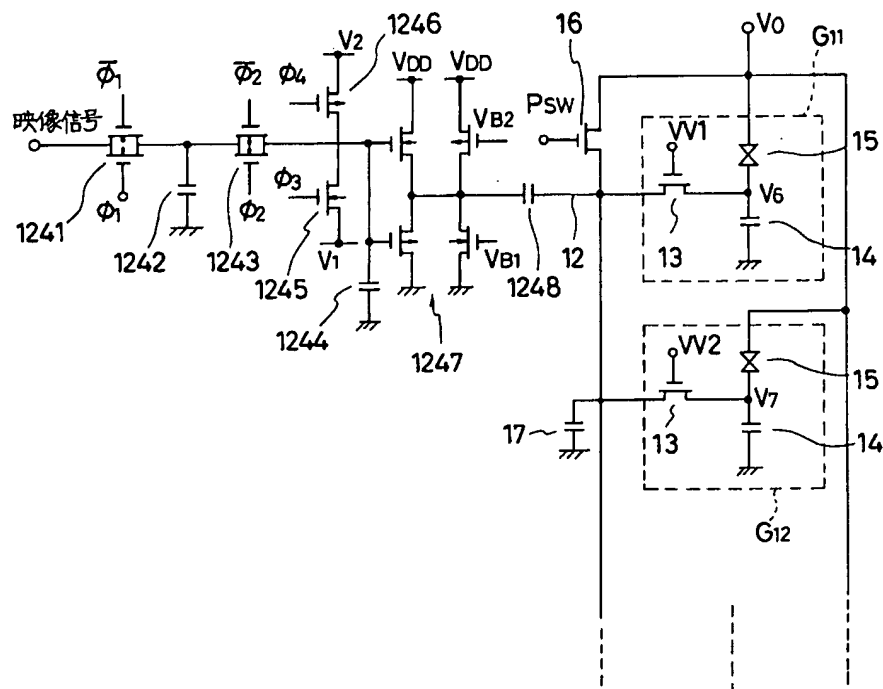
第 11 図



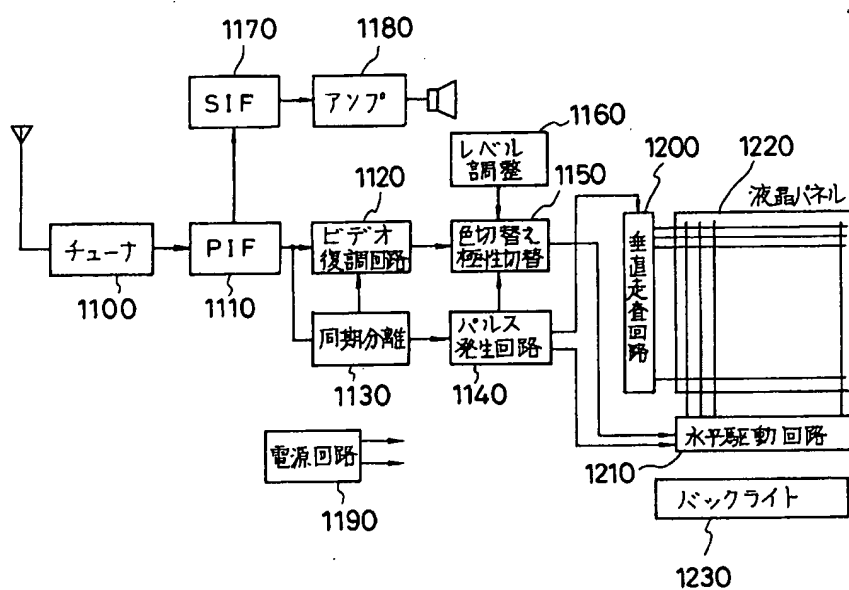
第 12 図



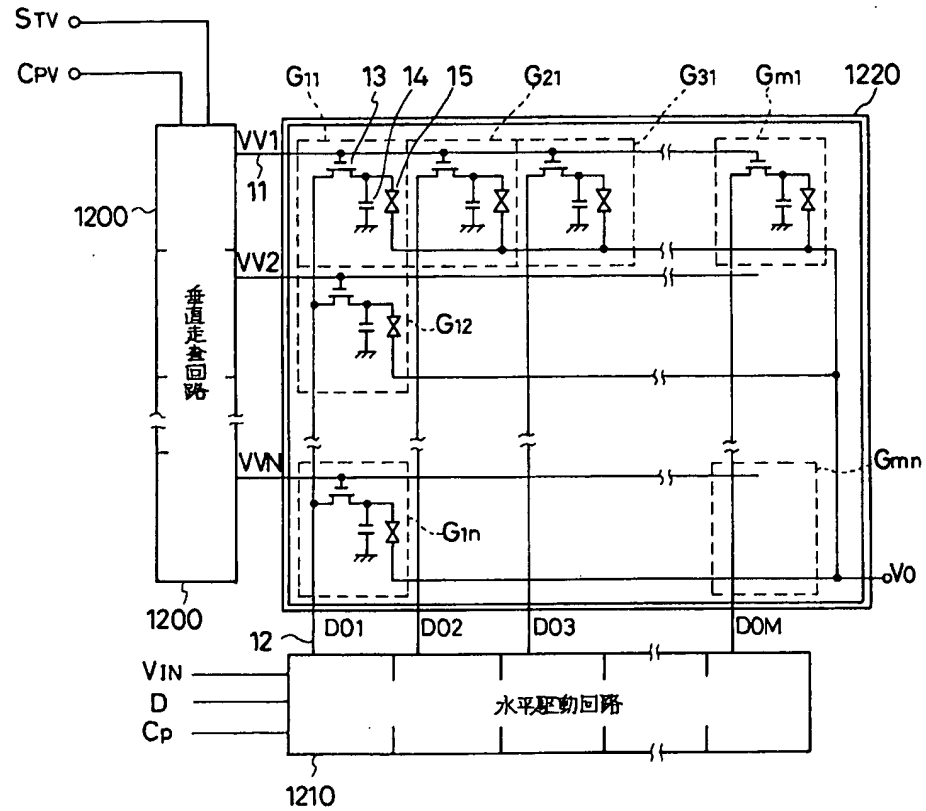
第 14 図



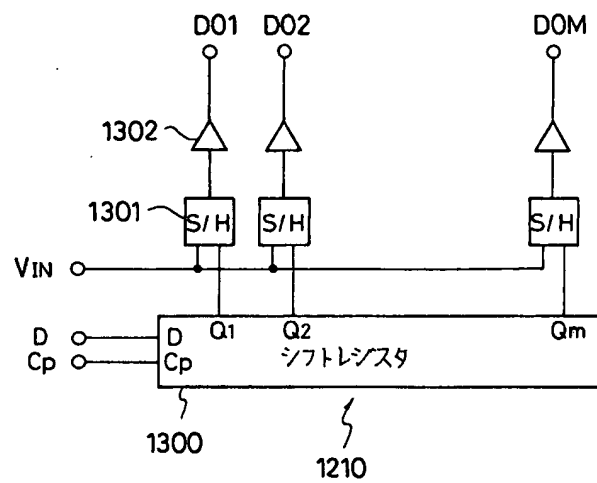
第 15 図



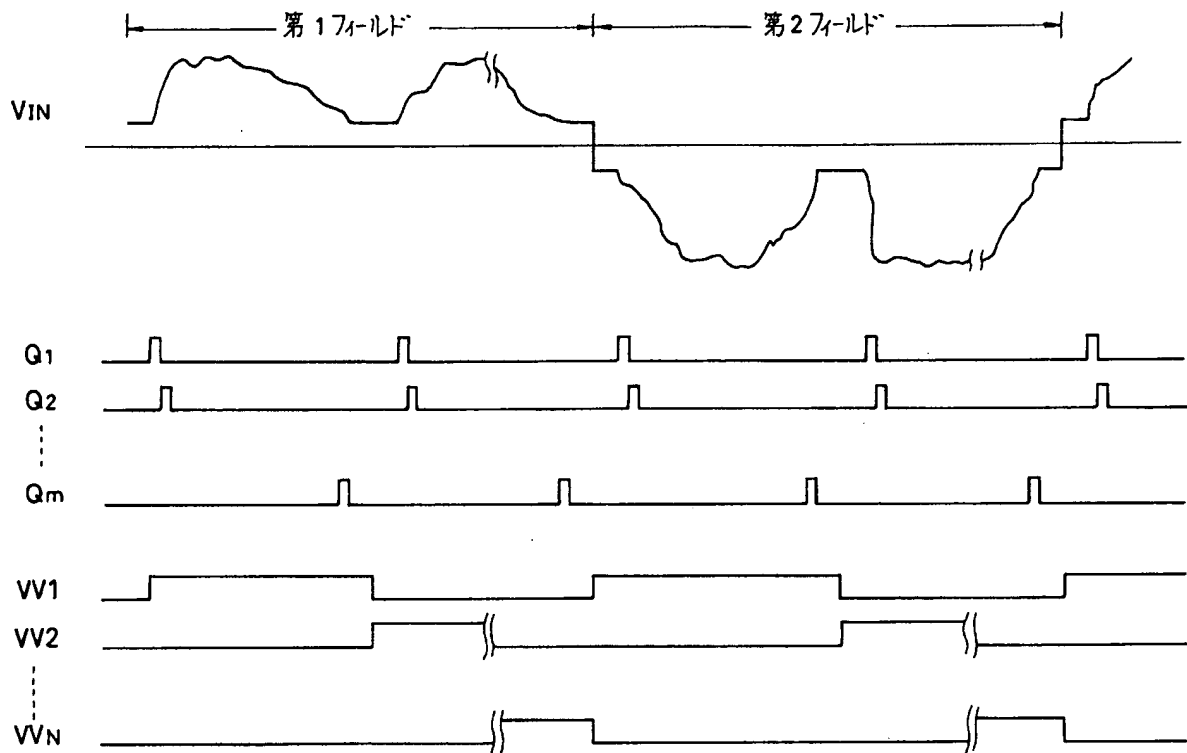
第 16 図



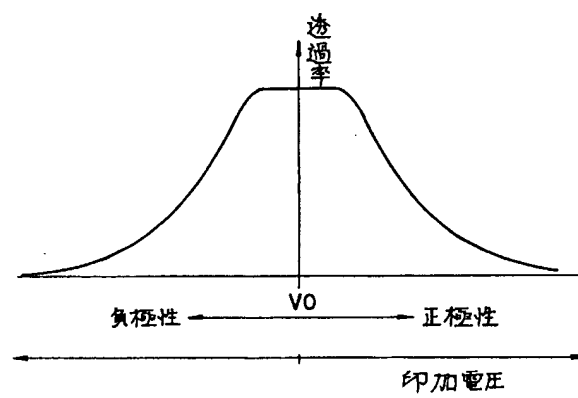
第 17 図



第 18 図



第 19 図



第 20 図